

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Gyung-Su BYUN :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: January 16, 2004 : Attorney Docket No. SEC.1129
For: SEMICONDUCTOR DEVICE INCLUDING DUTY CYCLE CORRECTION
CIRCUIT

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Korean application:

Appln. No. 10-2003-0003295 filed January 17, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: January 16, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0003295
Application Number

출원 년 월 일 : 2003년 01월 17일
Date of Application JAN 17, 2003

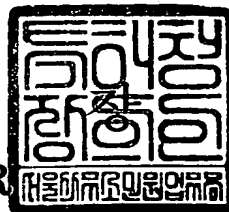
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0020
【제출일자】 2003.01.17
【국제특허분류】 G11C
【발명의 명칭】 공정의 변화에 따라서 클럭신호의 듀티 사이클을 보정하는 듀티 사이클 보정회로를 구비하는 반도체 장치
【발명의 영문명칭】 Semiconductor memory device comprising duty cycle correction circuit correcting the duty cycle of clock signal according to process variation
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 이영필
【대리인코드】 9-1998-000334-6
【포괄위임등록번호】 1999-009556-9
【대리인】
【성명】 정상빈
【대리인코드】 9-1998-000541-1
【포괄위임등록번호】 1999-009617-5
【발명자】
【성명의 국문표기】 변경수
【성명의 영문표기】 BYUN, Gyung Su
【주민등록번호】 740908-1482011
【우편번호】 156-772
【주소】 서울특별시 동작구 사당2동 극동아파트 111-302
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 2 면 2,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 9 항 397,000 원

【합계】 428,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

공정의 변화에 따라서 클럭신호의 듀티 사이클을 보정하는 듀티 사이클 보정회로를 구비하는 반도체 장치가 개시된다. 본 발명에 따른 반도체 장치는 입력되는 제 1클럭과 제 2클럭을 수신하고 상기 제 1클럭과 상기 제 2클럭의 듀티 사이클을 보정하는 듀티 사이클 보정회로; 및, 공정의 변화를 검출하고, 상기 공정의 변화의 검출결과에 응답하여 상기 제 1클럭과 상기 제 2클럭의 슬루 레이트(slew rate)를 제어하는 제어회로를 구비한다. 듀티 사이클 보정회로는 제 1반전회로, 제 2반전회로 및 제 3반전회로를 구비하고, 상기 제 1반전회로의 입력단과 접지전원 사이에 접속되는 제 1커패시턴스를 가지는 제 1커패시터; 및, 상기 제 2반전회로의 입력단과 상기 접지전원 사이에 접속되는 제 2커패시턴스를 가지는 제 2커패시터를 구비하며, 상기 제 1커패시턴스 및 상기 제 2커패시턴스의 크기는 상기 제어신호에 응답하여 제어되는 것을 특징으로 한다. 본 발명에 따르면, 공정 변화에 따라 듀티 사이클 보정회로로 입력되는 클럭신호의 기울기를 조절함으로써, 공정 변화에 무관하게 정확하게 듀티 사이클을 보정할 수 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

공정의 변화에 따라서 클럭신호의 듀티 사이클을 보정하는 듀티 사이클 보정회로를 구비하는 반도체 장치{Semiconductor memory device comprising duty cycle correction circuit correcting the duty cycle of clock signal according to process variation}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래 기술에 따른 입력되는 클럭의 듀티 사이클을 보정하는 구조를 나타낸 도면이다.

도 2는 도 1에 도시된 듀티 사이클 보정회로의 일예를 나타낸 도면이다.

도 3은 본 발명에 따른 공정 변화에 응답하여 듀티 사이클을 보정하는 회로를 구비한 반도체 장치를 나타낸 도면이다.

도 4는 도 3에 도시된 듀티 사이클 보정회로를 나타낸 도면이다.

도 5는 본 발명에 따른 제어회로를 나타낸 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <7> 본 발명은 동기식 반도체 장치에 관한 것으로, 특히 동기식 반도체 장치에서 사용하는 클럭의 듀티 사이클을 보정하는 듀티 사이클 보정(Duty Cycle Correction; DCC)회로에 관한 것이다.
- <8> 내부클럭에 동기되어 데이터를 입출력하는 동기식 반도체 장치(synchronous semiconductor memory device)에 있어서, 사용되는 클럭의 듀티 사이클은 반도체 장치의 동작에 중요한 영향을 미치는 요소 중의 하나이다. 클럭의 듀티 사이클(duty cycle)이란 클럭의 펄스 주기에 대한 펄스의 폭의 비율을 나타내는 수치를 의미한다.
- <9> 일반적으로 반도체 집적회로 등의 디지털 클럭의 응용분야에서는 듀티 사이클이 50%인 클럭이 주로 사용된다. 듀티 사이클이 50%라는 것은 클럭의 하이 레벨 부분과 로우 레벨 부분이 동일하다는 것을 의미한다. 듀티 사이클 보정회로는 듀티 사이클이 50%가 아닌 클럭이 입력될 때 이를 듀티 사이클이 50%인 클럭으로 변환하여 준다.
- <10> 디지털 클럭의 응용분야에 있어서, 클럭신호의 듀티사이클이 정확하게 제어되는 것은 매우 중요하다. 클럭에 동기되어 데이터를 출력하는 동기식 반도체 장치에서는 듀티 사이클이 정확하게 제어되지 않으면 데이터가 왜곡될 수 있기 때문에 더욱 중요하다.
- <11> 최근에는 동작속도를 향상시키기 위하여 이중 데이터율(Double Data Rate; DDR) 동기식 반도체 장치가 사용되고 있다. 이중 데이터율 방식을 사용하게 되면 클럭의 상승 에지(rising edge) 뿐만 아니라 하강 에지(falling edge)의 타이밍에도 데이터가 입출력되기 때문에, 이중

데이터율 방식을 사용하는 동기식 반도체 장치의 클럭의 듀티 사이클은 반도체 장치의 동작에 있어서 다른 방식에 비하여 더욱 더 중요하다.

<12> 도 1은 종래 기술에 따른 입력되는 클럭의 듀티 사이클을 보정하는 스킴을 나타낸 도면이다. 도 1에 도시된 바와 같이, 입력되는 클럭(CLK_IN)은 변환회로(AMP; 11)를 거쳐 듀티 사이클 보정회로(DCC; 12)로 입력되고, 듀티 사이클 보정회로(12)는 변환회로(11)의 출력신호의 듀티 사이클을 보정하여 출력신호(CLK_OUT)를 출력한다.

<13> 여기에서, 변환회로(AMP)는 입력되는 클럭(CLK_IN)의 레벨을 접지전압과 전원전압(VDD) 사이에서 폴스윙하도록 변환시켜 주는 회로이다.

<14> 도 2는 도 1에 도시된 듀티 사이클 보정회로의 일예를 나타낸 도면이다. 듀티 사이클 보정회로(12)는 도 2에 도시된 바와 같이 제 1반전회로 내지 제 3반전회로(210, 220, 230)를 구비한다. 제 1반전회로(210)는 피모스 트랜지스터(MP21) 및 엔모스 트랜지스터(MN22)를 구비하고, 제 2반전회로(220)는 피모스 트랜지스터(MP23) 및 엔모스 트랜지스터(MN24)를 구비한다.

<15> 제 1반전회로(210)는 제 1클럭(CLK_A)을 수신하고 제 1클럭(CLK_A)을 반전하여 출력하며, 제 2반전회로(220)는 제 2클럭(CLK_B)을 수신하고 제 2클럭(CLK_B)을 반전하여 출력한다. 제 1반전회로(210)의 출력단은 제 2반전회로(220)의 출력단과 소정의 접점(N)에서 접속되고, 제 3반전회로(230)는 접점(N)에서의 신호를 수신하고 접점(N)에서의 신호를 반전하여 출력하며, 출력신호(CLK_OUT)는 듀티 사이클이 보정된 신호가 된다.

<16> 그러나, 반도체 장치의 공정이 변화함에 따라, 상기 공정에 응답하여 듀티 사이클의 보정에 왜곡이 생길 수 있다. 앞에서 설명한 바와 같이, 변환회로(11)의 출력신호는 바로 듀티 사이클 보정회로(12)로 입력되고, 듀티 사이클 보정회로(12)는 변환회로(11)의 출력신호의 듀

티 사이클을 보정하여 출력신호(CLK_OUT)를 출력한다. 이 때, 변환회로(11)의 출력신호가 공정의 변화에 따라 스윙하는 기울기(slope)가 변화하기 때문에, 듀티 사이클 보정회로(12)의 출력신호(CLK_OUT)에 왜곡이 생기게 된다.

- <17> 전술한 바와 같이, 만일 클럭의 듀티 사이클이 시스템에서 허용되는 일정한 마진 (margin) 이상으로 왜곡되면, 시스템의 동작에 치명적인 오류가 야기될 수 있다. 따라서 이러한 공정 변화에도 안정적으로 듀티 사이클을 보정할 수 있도록 하는 반도체 장치가 요구된다.
- <18> 따라서, 공정의 변화에 따라 변환회로(11)의 출력신호의 스윙하는 기울기를 조정하여 듀티 사이클 보정을 올바르게 수행할 수 있도록 하는 반도체 장치가 요구된다.

【발명이 이루고자 하는 기술적 과제】

- <19> 본 발명이 이루고자 하는 기술적 과제는, 공정의 변화에 따라 변환회로의 출력신호의 스윙하는 기울기를 조정함으로써 듀티 사이클 보정을 바르게 수행하도록 할 수 있는 반도체 장치가 요구된다.

【발명의 구성 및 작용】

- <20> 상기 기술적 과제를 달성하기 위한 본 발명의 일면은 외부클럭에 동기되어 데이터를 출력하는 동기식 반도체 장치에 관한 것이다. 본 발명에 따른 동기식 반도체 장치는 입력되는 제 1클럭과 제 2클럭을 수신하고 상기 제 1클럭과 상기 제 2클럭의 듀티 사이클을 보정하는 듀티 사이클 보정회로; 및, 공정의 변화를 검출하고, 상기 공정의 변화의 검출결과에 응답하여 상기 제 1클럭과 상기 제 2클럭의 슬루 레이트(slew rate)를 제어하는 제어회로를 구비한다.
- <21> 바람직하게는, 상기 듀티 사이클 보정회로는 상기 제 1클럭을 수신하고 상기 제 1클럭을 반전하여 출력하는 제 1반전회로; 상기 제 2클럭을 수신하고 상기 제 2클럭을 반전하여 출력하

는 제 2반전회로; 상기 제 1반전회로의 출력신호를 수신하고 상기 제 1반전회로의 출력신호를 반전하여 출력하는 제 3반전회로; 상기 제 1반전회로의 입력단과 접지전원 사이에 접속되는 제 1커패시터를 가지는 제 1커패시터; 및, 상기 제 2반전회로의 입력단과 상기 접지전원 사이에 접속되는 제 2커패시터를 가지는 제 2커패시터를 구비하며, 상기 제 1반전회로의 출력단과 상기 제 2반전회로의 출력단이 서로 접속되고, 상기 제 1커패시터 및 상기 제 2커패시터의 크기는 상기 제어신호에 응답하여 제어되는 것을 특징으로 한다.

<22> 또한 바람직하게는, 상기 제어회로는 상기 공정 변화를 검출하여 상기 공정 변화에 상응하는 소정의 전압신호를 출력하는 공정 변화 검출기; 상기 공정 변화 검출기의 출력신호와 소정의 기준신호를 수신하여 상기 공정 변화 검출기의 출력신호와 상기 기준신호의 차이를 증폭하여 출력하는 차동증폭기; 및, 상기 차동증폭기의 출력신호를 수신하고 상기 차동증폭기의 출력신호를 소정의 디지털 비트신호로 변환하여 출력하는 아날로그/디지털 변환기를 구비하며, 상기 아날로그/디지털 변환기의 출력신호는 상기 제 1커패시터 및 상기 제 2커패시터의 크기를 제어하는 제어신호인 것을 특징으로 한다.

<23> 또한 바람직하게는, 상기 동기식 반도체 장치는 외부클럭을 입력받아 상기 외부클럭에 대응되는 상기 제 1클럭 및 상기 제 2클럭을 출력하는 변환회로를 더 구비하고, 상기 제 1클럭과 상기 제 2클럭은 접지전압과 전원전압 사이에서 풀스윙(full swing)하는 것을 특징으로 한다.

<24> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일면은 동기식 반도체 장치에 관한 것이다. 본 발명에 따른 동기식 반도체 장치는 제 1클럭을 수신하고 상기 제 1클럭을 반전하여 출력하는 제 1반전회로; 제 2클럭을 수신하고 상기 제 2클럭을 반전하여 출력하는 제 2반전회로; 상기 제 1반전회로의 출력신호를 수신하고 상기 제 1반전회로의 출력신호를 반전하여 출력

하는 제 3반전회로; 상기 제 1반전회로의 입력단과 접지전원 사이에 접속되고, 소정의 제 1커패시턴스를 가지며 다수의 커패시터들을 구비하는 제 1커패시터군; 상기 제 2반전회로의 입력단과 접지전원 사이에 접속되고, 소정의 제 2커패시턴스를 가지며 다수의 커패시터들을 구비하는 제 2커패시터군; 및, 공정의 변화를 검출하고, 상기 공정의 변화의 검출결과에 응답하여 상기 제 1클럭과 상기 제 2클럭의 슬루 레이트(slew rate)를 제어하는 제어회로를 구비하며, 상기 제어회로는 상기 제 1커패시턴스 및 상기 제 2커패시턴스를 조절함으로써 상기 제 1클럭 및 상기 제 2클럭의 슬루 레이트를 제어하고, 상기 제 1클럭은 상기 제 2클럭과 반대의 위상을 가지는 클럭인 것을 특징으로 한다.

- <25> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <26> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <27> 도 3은 본 발명에 따른 공정 변화에 응답하여 듀티 사이클을 보정하는 회로를 구비한 반도체 장치를 나타낸 도면이다. 도 3에 도시된 반도체 장치(300)는 변환회로(11), 듀티 사이클 보정회로(32) 및 제어회로(33)를 구비한다. 제어회로(33)는 공정 변화 검출기(35), 차동증폭기(37) 및 아날로그/디지털 변환기(ADC; 39)를 구비한다.
- <28> 변환회로(11)는 입력되는 클럭(CLK_IN)을 수신하고 입력되는 클럭(CLK_IN)의 전압레벨을 접지전압과 전원전압(VDD) 사이에서 풀스윙하도록 변환하여 출력한다. 듀티 사이클 보정회로(32)는 변환회로(11)의 출력신호를 수신하여 변환회로(11)의 출력신호의 듀티 사이클을 보정하여 그 결과신호(CLK_OUT)를 출력한다.

- <29> 제어회로(33)는 반도체 장치(300)의 공정의 변화를 검출하고 검출결과에 응답하여 변환 회로(11)의 출력신호의 슬루율(slew rate)을 제어하는 제어신호(CTRL)를 출력한다.
- <30> 공정 변화 검출기(35)는 반도체 장치(300)의 공정 변화를 검출하여 그 검출결과를 출력 한다. 차동증폭기(37)는 공정 변화 검출기(35)의 출력신호와 소정의 기준전압(VREF)을 비교하 여 공정 변화 검출기(35)의 출력신호와 기준전압(VREF)의 차이를 증폭하여 출력한다. 아날로그/디지털 변환기(39)는 차동증폭기(37)의 출력신호를 수신하고 차동증폭기(37)의 출력 신호에 대응되는 디지털 신호를 출력한다. 이러한 아날로그/디지털 변환기(39)의 출력신호가 제어신호(CTRL)가 되고, 제어신호(CTRL)는 듀티 사이클 보정회로(32)로 입력되어, 듀티 사이클 보정회로(32)로 입력되는 변환회로(11)의 출력신호의 스윙하는 기울기, 즉 슬루 레이트(slew rate)를 조정하여 준다.
- <31> 예를 들면, 표준 공정(typical process)을 기준으로 하여, 표준 공정보다 빠른 공정을 빠른 공정(fast process)라 하고 표준 공정보다 느린 공정을 느린 공정(slow process)라고 하 자. 반도체 장치가 표준 공정으로 제조되는 경우에는 듀티 사이클 보정회로의 동작에도 커다란 문제가 없지만, 반도체 장치가 빠른 공정 또는 느린 공정으로 제조되면 듀티 사이클 보정회로 는 클럭의 듀티 사이클을 원하는 대로 보정할 수 없다.
- <32> 따라서, 빠른 공정으로 제조되는 경우에는 변환회로(11)의 출력신호의 기울기를 상대적 으로 작게 조정할 필요가 있고, 느린 공정으로 제조되는 경우에는 변환회로(11)의 출력신호의 기울기를 상대적으로 크게 조정할 필요가 있다.
- <33> 기준전압(VREF)은 표준 공정에 대응되는 전압신호이다. 즉, 본 발명에 따른 도 3의 반도 체 장치(300)는 공정 변화 검출기(35)에 의하여 검출된 출력신호와 기준전압(VREF)과의 차이가

공정 변화량이 되고, 이러한 공정 변화량에 응답하여 변환회로(11)의 출력신호의 기울기를 조절함으로써 클럭의 듀티 사이클을 정확하게 보정할 수 있다.

<34> 도 4는 도 3에 도시된 듀티 사이클 보정회로를 나타낸 도면이다. 도 4에 도시된 듀티 사이클 보정회로(32)는 제 1반전회로 내지 제 4반전회로(41, 42, 43, 44), 제 1커패시터군(45) 및 제 2커패시터군(46)을 구비한다. 설명의 편의를 위하여 도 3에 도시된 제어회로(33)도 도시하였다.

<35> 제 1반전회로(41)는 제 1클럭(CLK_A)을 수신하고 제 1클럭(CLK_A)을 반전하여 출력하고, 제 2반전회로(42)는 제 2클럭(CLK_B)을 수신하고 제 2클럭(CLK_B)을 반전하여 출력한다. 제 1반전회로(41)의 출력단과 제 2반전회로(42)의 출력단은 서로 접속되고, 제 3반전회로(43)는 제 1반전회로(41)의 출력신호를 수신하고 제 1반전회로(41)의 출력신호를 반전하여 듀티 사이클이 보정된 클럭신호(CLK_OUT)를 출력한다. 제 4반전회로(44)는 제 3반전회로(43)의 출력신호를 반전하여 출력신호(CLK_OUTB)를 출력한다.

<36> 제 1커패시터군(45)은 제 1반전회로(41)의 입력단과 접지전원(VSS) 사이에 접속되고, 제 2커패시터군(46)은 제 2반전회로(42)의 입력단과 접지전원(VSS) 사이에 접속된다. 제 1커패시터군(45) 및 제 2커패시터군(46)의 커패시턴스는 제어회로(33)의 출력신호인 제어신호(CTRL)에 응답하여 가변된다.

<37> 도 4의 실시예에서는, 제 1커패시터군(45) 및 제 2커패시터군(46)은 다수의 커패시터들을 구비한다. 제어신호(CTRL)는 제 1커패시터군(45)의 다수의 커패시터들과 접지전원(VSS) 사이를 선택적으로 스위칭함으로써 제 1커패시터군(45)의 커패시턴스를 결정할 수 있다.

- <38> 예컨대, 제 1커패시터군(45)에 10개의 1pF의 커패시터들이 접속된다고 가정하자. 만일 제어신호(CTRL)가 제 1제어신호인 경우 10개의 커패시터들 중 8개만 접속되고 2개는 단선된다면, 제 1제어신호가 입력되면 제 1커패시터군(45)은 8pF의 커패시턴스를 가지게 된다. 반면, 제어신호(CTRL)가 제 2제어신호인 경우 10개의 커패시터들 중 2개만 접속되고 8개는 단선된다면 제 2제어신호가 입력되면 제 1커패시터군(45)은 2pF의 커패시턴스를 가지게 된다.
- <39> 제어신호(CTRL)가 제 1제어신호인지 제 2제어신호인지는 공정 변화에 따른 도 3에 도시된 차동증폭기(37)의 출력신호에 대응되어 결정된다. 이는 제 2커패시터군(46)의 경우에도 같다.
- <40> 만일 빠른 공정의 경우에는 제어신호(CTRL)는 제 1커패시터군(45) 및 제 2커패시터군(46)의 커패시턴스가 높도록 제어하고, 따라서 변환회로(11)의 출력 신호의 기울기는 작아지게 될 것이고, 느린 공정의 경우에는 제어신호(CTRL)는 제 1커패시터군(45) 및 제 2커패시터군(46)의 커패시턴스를 낮도록 제어하고, 따라서 변환회로(11)의 출력 신호의 기울기는 커지게 될 것이다.
- <41> 즉, 본 발명에 의하면 공정 변화에 따라서 각각 제 1커패시터군(45) 및 제 2커패시터군(46)의 커패시턴스를 조절함으로써, 클럭 신호의 듀티 사이클을 공정 변화에 무관하게 정확하게 보정할 수 있게 된다.
- <42> 제 1커패시터군(45) 및 제 2커패시터군(46)은 제어신호(CTRL)에 응답하여 커패시턴스가 가변되는 것이면 족하고, 도 4에 도시된 예에 한정되는 것은 아님은 자명하다.
- <43> 도 5는 본 발명에 따른 제어회로를 나타낸 도면이다. 도 5에 도시된 제어회로(500)는 공정 변화 검출기(510), 차동증폭부(530) 및 아날로그/디지털 변환부(530)를 구비한다. 도 5는

엔모스 트랜지스터의 공정 및 피모스 트랜지스터의 공정 모두의 변화를 검출한 경우로서, 도 3과는 달리 아날로그/디지털 변환기의 출력신호가 2개가 된다.

- <44> 공정 변화 검출기(510)는 엔모스 공정변화 검출부(51), 피모스 공정변화 검출부(52) 및, 다수의 모스 트랜지스터들(MP51, MP52, MN53), MN54)을 구비한다. 엔모스 공정변화 검출부(51)는 게이트는 전원전압(VDD)과 접속되고 서로 직렬연결된 다수의 엔모스 트랜지스터들(MN510, MN520, MN530)을 구비하며, 피모스 공정변화 검출부(52)는 게이트가 접지전원(VSS)과 접속되고 서로 직렬연결된 다수의 피모스 트랜지스터들(MP540, MP550, MP560)을 구비한다.
- <45> 피모스 트랜지스터(MP51)와 피모스 트랜지스터(MP52)의 게이트는 서로 접속된다. 피모스 트랜지스터(MP51)의 소스는 전원전압(VDD)에 접속되고 드레인은 엔모스 트랜지스터(MN53)의 드레인 및 피모스 트랜지스터(MP51)의 게이트와 접속된다. 피모스 트랜지스터(MP52)의 소스는 전원전압(VDD)에 접속되고 드레인은 엔모스 공정변화 검출부(51)의 엔모스 트랜지스터(MN510)의 드레인과 접속된다.
- <46> 엔모스 트랜지스터(MN53)와 엔모스 트랜지스터(MN54)의 게이트는 서로 접속되고 엔모스 트랜지스터(MN53)의 소스 및 엔모스 트랜지스터(MN54)의 소스는 접지전원(VSS)과 접속된다. 엔모스 트랜지스터(MN54)의 드레인은 피모스 공정변화 검출부(52)의 피모스 트랜지스터(MP560)의 드레인과 접속된다.
- <47> 엔모스 공정변화 검출부(51)의 직렬연결된 트랜지스터들(MN510, MN520, MN530)의 한쪽은 피모스 트랜지스터(MP52)의 드레인과 접속되고 다른쪽은 접지전원(VSS)과 접속된다. 피모스 공정변화 검출부(52)의 직렬연결된 트랜지스터들(MP540, MP550, MP560)의 한쪽은 전원전압(VDD)와 접속되고 다른쪽은 엔모스 트랜지스터(MN54)의 드레인과 접속된다.

- <48> 피모스 트랜지스터(MP52)의 드레인 단자는 엔모스 공정변화 검출부(51)의 출력신호를 차동증폭기(531)로 출력하며, 엔모스 트랜지스터(MN54)의 드레인 단자는 피모스 공정변화 검출부(52)의 출력신호를 차동증폭기(532)로 출력한다.
- <49> 차동증폭기부(53)는 차동증폭기들(531, 532)을 구비하고, 각각 엔모스 공정변화 검출결과 및 피모스 공정변화 검출결과와 기준전압(VREF)을 비교하여 그 차이를 증폭한다.
- <50> 아날로그/디지털 변환부(540)는 아날로그/디지털 변환기들(541, 542)을 구비하고, 각각 차동증폭기들(531, 532)의 출력신호를 수신하여 차동증폭기들(531, 532)의 출력신호를 디지털 신호로 변환하여 제어신호(도시하지 않음)를 생성한다.
- <51> 공정 변화 검출기(510)의 모스 트랜지스터들(MP51, MP52, MN53, MN54)은 도 5의 접속관계에서 알 수 있듯이 전류 거울(Current Mirror)을 형성하고 이는 기준되는 전류원으로 작용한다.
- <52> 엔모스 공정변화 검출부(51) 및 피모스 공정변화 검출부(52)의 공정 변화는 다음과 같이 검출된다. 모스 트랜지스터는 공정에 따라 트랜지스터의 사이즈에 차이가 있기 때문에, 공정에 따라 모스 트랜지스터에 흐르는 전류의 양 또는 턴온 저항이 달라진다.
- <53> 도 5에서 알 수 있듯이, 엔모스 공정변화 검출부(51) 및 피모스 공정변화 검출부(52)를 구성하는 모스 트랜지스터들(MN510, MN520, MN530; MP540, MP550, MP560)은 모두 턴온된다. 따라서, 공정의 변화에 따라 엔모스 공정변화 검출부(51) 및 피모스 공정변화 검출부(52)의 턴온 저항이 달라지게 되고, 결과적으로는 출력단(N1, N2)의 전압이 달라진다.
- <54> 예컨대, 빠른 공정인 경우에는 엔모스 공정변화 검출부(51) 및 피모스 공정변화 검출부(52)에 전류가 많이 흐르고 트랜지스터들의 턴온저항이 작아지므로 출력단(N1, N2)에는 높은

전압이 걸리게 된다. 또한 느린 공정의 경우는 반대로 출력단(N1, N2)에 낮은 전압이 걸리게 된다.

<55> 이처럼, 공정 변화를 검출한 후 차동증폭기부(530)는 공정 변화 검출결과를 수신하여 기준전압(VREF)과 비교한 후 그 차이를 증폭하여 출력한다. 또한 아날로그/디지털 변환부(540)는 차동증폭기부(530)의 출력신호를 디지털 비트신호로 변환하여 도 4에 도시된 제 1커패시터군(45) 및 제 2커패시터군(46)의 커패시턴스를 제어하는 제어신호를 생성하게 된다.

<56> 이상에서와 같이 도면과 명세서에 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다.

<57> 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<58> 상술한 바와 같이 본 발명에 따르는 반도체 장치는 공정 변화에 따라 듀티 사이클 보정 회로로 입력되는 클럭신호의 기울기를 조절함으로써, 공정 변화에 무관하게 정확하게 듀티 사이클을 보정할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

외부클럭에 동기되어 데이터를 출력하는 동기식 반도체 장치에 있어서,

입력되는 제 1클럭과 제 2클럭을 수신하고 상기 제 1클럭과 상기 제 2클럭의 듀티 사이클을 보정하는 듀티 사이클 보정회로; 및,

공정의 변화를 검출하고, 상기 공정의 변화의 검출결과에 응답하여 상기 제 1클럭과 상기 제 2클럭의 슬루 레이트(slew rate)를 제어하는 제어회로를 구비하는 동기식 반도체 장치

【청구항 2】

제 1항에 있어서, 상기 듀티 사이클 보정회로는

상기 제 1클럭을 수신하고 상기 제 1클럭을 반전하여 출력하는 제 1반전회로;

상기 제 2클럭을 수신하고 상기 제 2클럭을 반전하여 출력하는 제 2반전회로;

상기 제 1반전회로의 출력신호를 수신하고 상기 제 1반전회로의 출력신호를 반전하여 출력하는 제 3반전회로;

상기 제 1반전회로의 입력단과 접지전원 사이에 접속되는 제 1커패시턴스를 가지는 제 1커패시터; 및,

상기 제 2반전회로의 입력단과 상기 접지전원 사이에 접속되는 제 2커패시턴스를 가지는 제 2커패시터를 구비하며,

상기 제 1반전회로의 출력단과 상기 제 2반전회로의 출력단이 서로 접속되고, 상기 제 1커패시턴스 및 상기 제 2커패시턴스의 크기는 상기 제어신호에 응답하여 제어되는 것을 특징으로 하는 동기식 반도체 장치.

【청구항 3】

제 1항에 있어서, 상기 제어회로는

상기 공정 변화를 검출하여 상기 공정 변화에 상응하는 소정의 전압신호를 출력하는 공정 변화 검출기;

상기 공정 변화 검출기의 출력신호와 소정의 기준신호를 수신하여 상기 공정 변화 검출기의 출력신호와 상기 기준신호의 차이를 증폭하여 출력하는 차동증폭기; 및,

상기 차동증폭기의 출력신호를 수신하고 상기 차동증폭기의 출력신호를 소정의 디지털 비트신호로 변환하여 출력하는 아날로그/디지털 변환기를 구비하며,

상기 아날로그/디지털 변환기의 출력신호는 상기 제 1커패시턴스 및 상기 제 2커패시턴스의 크기를 제어하는 제어신호인 것을 특징으로 하는 동기식 반도체 장치.

【청구항 4】

제 3항에 있어서, 상기 공정 변화 검출기는

각각의 게이트는 접지전압에 접속되고, 서로 직렬로 접속된 다수의 피모스 트랜지스터들을 구비하고,

상기 공정 변화에 응답하여 다른 출력신호를 생성하는 것을 특징으로 하는 동기식 반도체 장치.

【청구항 5】

제 3항에 있어서, 상기 공정 변화 검출기는

각각의 게이트는 전원전압에 접속되고, 서로 직렬로 접속된 다수의 엔모스 트랜지스터들을 구비하고,

상기 공정 변화에 응답하여 다른 출력신호를 생성하는 것을 특징으로 하는 동기식 반도체 장치.

【청구항 6】

제 1항에 있어서, 상기 제 1클럭은

상기 제 2클럭과 반대의 위상을 가지는 클럭인 것을 특징으로 하는 동기식 반도체 장치.

【청구항 7】

제 1항에 있어서, 상기 동기식 반도체 장치는

외부클럭을 입력받아 상기 외부클럭에 대응되는 상기 제 1클럭 및 상기 제 2클럭을 출력하는 변환회로를 더 구비하고,

상기 제 1클럭과 상기 제 2클럭은 접지전압과 전원전압 사이에서 풀스윙(full swing)하는 것을 특징으로 하는 동기식 반도체 장치.

【청구항 8】

제 1클럭을 수신하고 상기 제 1클럭을 반전하여 출력하는 제 1반전회로;

제 2클럭을 수신하고 상기 제 2클럭을 반전하여 출력하는 제 2반전회로;

상기 제 1반전회로의 출력신호를 수신하고 상기 제 1반전회로의 출력신호를 반전하여 출력하는 제 3반전회로;

상기 제 1반전회로의 입력단과 접지전원 사이에 접속되고, 소정의 제 1커패시턴스를 가지며 다수의 커패시터들을 구비하는 제 1커패시터군;

상기 제 2반전회로의 입력단과 접지전원 사이에 접속되고, 소정의 제 2커패시턴스를 가지며 다수의 커패시터들을 구비하는 제 2커패시터군; 및,

공정의 변화를 검출하고, 상기 공정의 변화의 검출결과에 응답하여 상기 제 1클럭과 상기 제 2클럭의 슬루 레이트(slew rate)를 제어하는 제어회로를 구비하며,

상기 제어회로는 상기 제 1커패시턴스 및 상기 제 2커패시턴스를 조절함으로써 상기 제 1클럭 및 상기 제 2클럭의 슬루 레이트를 제어하고,

상기 제 1클럭은 상기 제 2클럭과 반대의 위상을 가지는 클럭인 것을 특징으로 하는 동기식 반도체 장치.

【청구항 9】

제 8항에 있어서, 상기 제어회로는

상기 공정 변화를 검출하여 상기 공정 변화에 상응하는 소정의 신호를 출력하는 공정 변화 검출기;

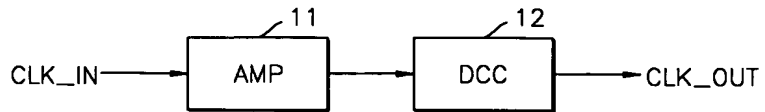
상기 공정 변화 검출기의 출력신호와 소정의 기준신호를 수신하여 상기 공정 변화 검출기의 출력신호와 상기 기준신호의 차이를 증폭하여 출력하는 차동증폭기; 및,

상기 차동증폭기의 출력신호를 수신하고 상기 차동증폭기의 출력신호를 소정의 디지털 비트신호로 변환하여 출력하는 아날로그/디지털 변환기를 구비하며,

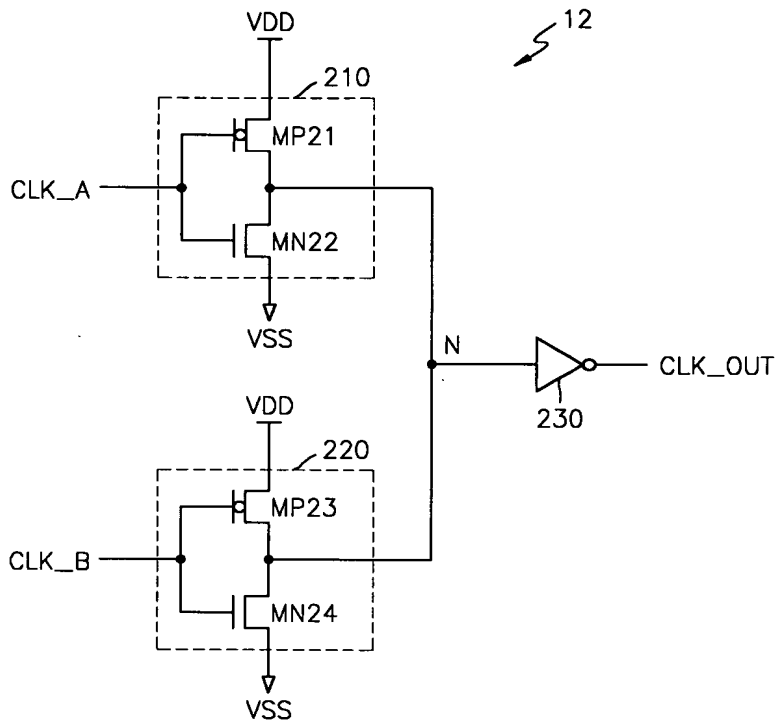
상기 아날로그/디지털 변환기의 출력신호는 상기 제 1커패시터군의 상기 제 1커패시턴스 및 상기 제 2커패시터군의 상기 제 2커패시턴스의 크기를 제어하는 제어신호인 것을 특징으로 하는 동기식 반도체 장치.

【도면】

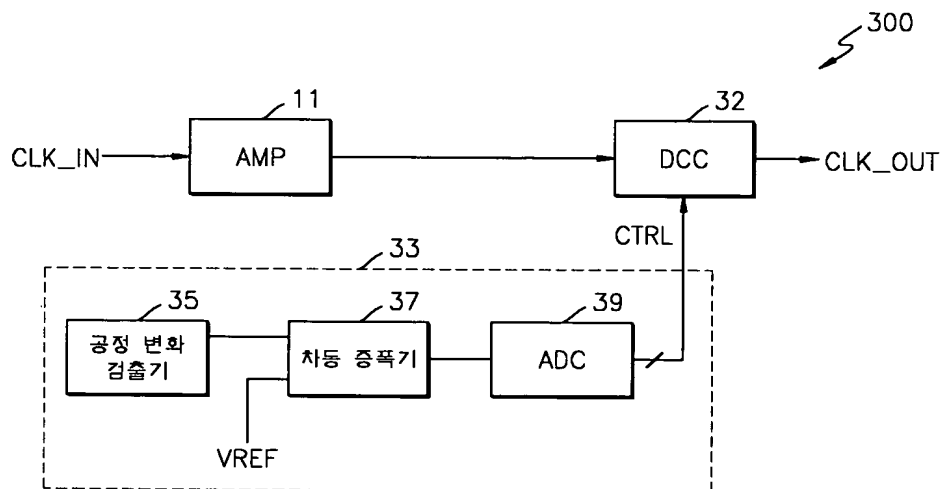
【도 1】



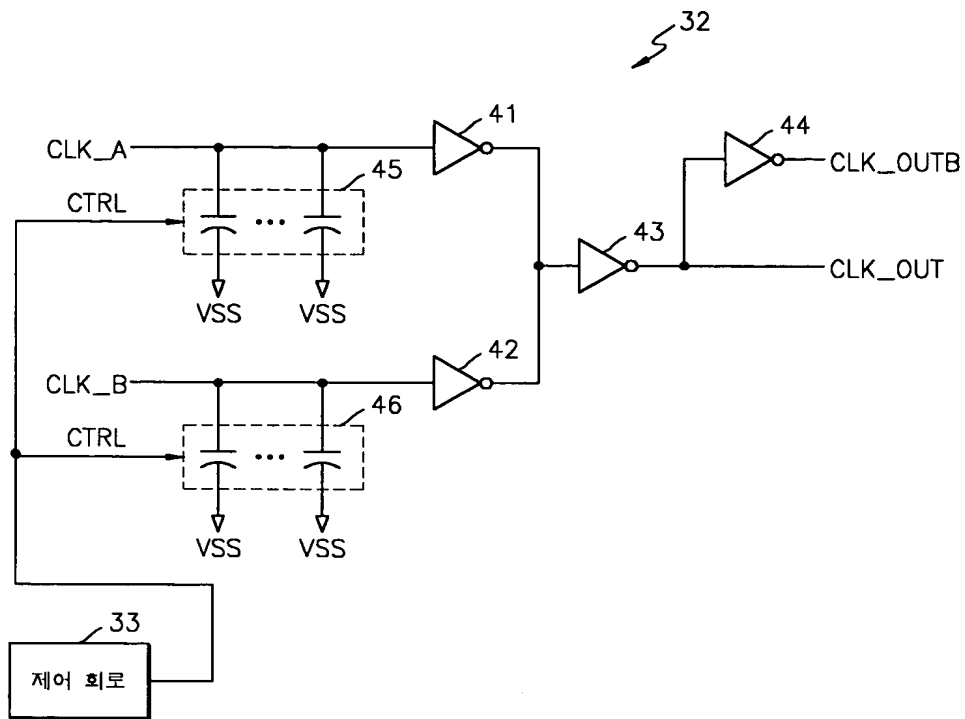
【도 2】



【도 3】



【도 4】



【도 5】

